

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## ⑫ 公開特許公報(A)

昭62-276838

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)12月1日

H 01 L 21/60  
23/526918-5F  
8728-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭61-119213

⑰ 出 願 昭61(1986)5月26日

⑱ 発 明 者 大 場 隆 青梅市今井2326番地 株式会社日立製作所デバイス開発セ  
ンタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 半導体素子とその突起電極により配線基板に接合して成り、かつ、シリコーンゲルにより封止を行って成る半導体装置において、前記突起電極を複数の群に分割し、当該各群の間に間隙を設けて成ることを特徴とする半導体装置。
2. 半導体装置が、配線基板上に複数の半導体素子を接合し、当該配線基板と該配線基板を搭載しているパッケージベースに垂設された外部接続端子とをコネクタワイヤを介して接続し、当該配線基板上に固着したボッティング枠内にシリコーンゲルを充填して成るビングリットアレイタイプのマルチチップモジュールである、特許請求の範囲第1項記載の半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はシリコーンゲルを封止材とした半導体

装置において、特に、当該ゲルの膨張などにより、半導体素子と該素子を搭載している配線基板との接合部において破断を生ずる場合のその破断を防止する技術に関する。

〔従来の技術〕

半導体素子(チップ)を基板にフェイスダウンボンディングする方法としてフリップチップ方式がある。例えば、この方式の一つに、CCB(コントロールド・コラプス・リフローチップ・ボンディング)方式があり、例えばSn-Pbを用いた半球状の突起電極(バンプ)を溶融させて半導体素子を基板に固着させる。

一方、半導体素子を封止するに、シリコーンゲルにより行うことがある。このシリコーンゲルは外部雰囲気中の湿分を水分子として通過させるが、水膜を形成しないので、極めて耐湿性に富む半導体パッケージを形成することができる。しかし、このシリコーンゲルは膨張、収縮性に富み、半導体素子と基板との間に介在し、これら半導体素子と基板とを引き剥がそうとする力が働き、前記C

C B パンプを破断する場合がある。

このパンプは半導体素子の表面全体に基盤目状に配設されており、半導体素子の高集積化に伴ない、その配列が密になってくることが予想され、増々、パンプ破断が生じ易い状況になってくることが予測される。

尚、フリップチップ方式について述べた文献の例として、1980年1月15日働工業調査会発行「IC化実装技術」P81があげられる。

〔発明が解決しようとする問題点〕

本発明はパンプの破断を防止し、信頼性を向上させることのできる技術を提供することを目的とする。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

パッケージベース4の裏面側から、多数のアウターリード6が出ている。いわゆるアキシャル型に当該半導体装置7は構成されている。

配線基板2の導体部8と、当該アウターリード6とは、ボンディングワイヤもしくはコレクタワイヤ9により接続されており、半導体素子1の内部配線と外部接続端子であるアウターリード6とが電気的に接続されている。パッケージベース4上には、接合材料10により、ポッティング枠11が接合され、該ポッティング枠11内部に、シリコーンゲル材をポッティングし、加熱硬化させて、シリコーンゲル12を形成し、このゲル12により半導体素子1やボンディングワイヤ9などを、同図に示すように、被覆し、半導体素子を外部雰囲気中から保護する。当該ゲル12は、半導体素子1と配線基板2との間にも、充填される。

このゲル12は柔軟であり、半導体素子1などを機械的に保護するために、ポッティング枠11上に、接合材料13により、キャップ14を取付

け、すなわち、本発明では、突起電極を半導体素子表面の全体に配列せずに、複数の群に分け、各群の間には、当該突起電極を設けずに、間隙(通路)としておく。

〔作用〕

かかる間隙の存在により、縦方向において半導体素子と基板とを引き剥がそうとする力が、当該間隙方向に分散され、したがって、パンプ破断の因となっている縦方向の力を弱めるので、パンプ破断を防止できる。

〔実施例〕

次に、本発明を、図面に示す実施例に基づいて説明する。

第5図および第6図に、本発明によるシリコーンゲルにより封止して成る半導体装置の二三の例を示す。

第5図において、半導体素子(チップ)1は、配線基板2上に、突起電極3により固着されている。当該配線基板2は、パッケージベース4上に、接合材料5により固着されている。

ける。

第6図に示す半導体装置は、アウターリード15をDIL(デュアル・イン・ライン)に引出したもので、パッケージベース4の下部に、配線基板2が固着され、さらに、該配線基板2の下部に、半導体素子1が突起電極3によりボンディングされ、パッケージベース4上に、ヒートシンク16が取付けられており、また、第5図に示すものと同様に、ポッティング枠11内にはシリコーンゲル12がポッティングにより形成されており、さらに、当該ポッティング枠11の下部にはキャップ14が取付けられている。

これら図に示す、半導体素子1の突起電極3の断面要部構造例は、第4図に示すとおりであり、同図にて、17は半導体デバイス、18は絶縁膜、19はデバイス表面保護膜、20はAL電極配線、21は電極下地多層金属層、22はSn-Pb半球状パンプである。

この接続端子としては、Cuボールなど、前記で掲示した「IC化実装技術」81頁などに記載

された各種のフリップチップによる突起電極を適用することができる。

第3図は、半導体素子1における突起電極3の従来例の配列を示す。なお、第5図や第6図では、半導体素子1をマルチに配線基板2にマウントしているが、当該第3図は、一の半導体素子1における突起電極3の配列を模式的に示したものである。

第3図に示すように、従来例では、基盤目標に、規則正しく、当該素子の表面全体に突起電極3が配列されている。

これに対し、第1図および第2図で例示するように、本発明では、突起電極3の集合である群、例えば23, 24, 25, 26, 27あるいは23, 24, 25, 26に分割し、各群の間に、例えば23, 24との間に、突起電極3を設けていない、間隔28を設けるように構成する。

半導体素子(チップ)1は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路

機能を与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路素子によって、例えば論理回路およびメモリの回路機能が形成されている。

配線基板2は、例えばシリコンウェハよりなり、導体パターンが形成されている。パッケージベース4は、例えばセラミック材により構成される。

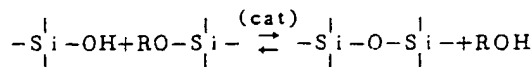
本発明に使用されるシリコン(系)ゲル12としては、従来エレクトロニクスあるいはオブティカルファイバー用シリコンコーティング剤として市販されていたものを使用でき、例えばシリコンゲルはICメモリのソフトエラー対策用として用いられていた。本発明はこれを封止材料として使用せんとするものである。

ゲルは、その加熱硬化前はリキッド状態であり、1液タイプ、2液タイプがあり、例えば主剤と硬化剤とから2液タイプの場合、これらを混合すると反応硬化(架橋反応)し、硬化物を得る。

硬化システムとしては次の反応式で示す様に、

縮合型、付加型、紫外線硬化型がある。

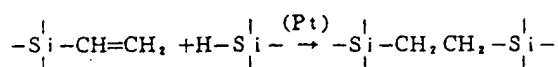
縮合型



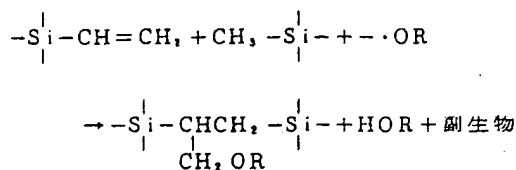
cat: Sn-Ti系触媒

R: 例えばアルキル基(以下同じ)

付加型



紫外線硬化型



硬化物を得るに、加熱(ベーク)するとゴム化が進む。本発明に使用されるシリコン系ゲル12はシリコンゴムやシリコンオルフと異なり架橋密度の低いものである。例えば架橋密度の大小からみるとゴムが架橋密度が一番大で、その

下がゲル、さらに、その下がオイルということになる。

架橋密度は一般に針入度計を用いて測定され、針入度計についてはJISK2808に規定され、それに使用される針についてはASTMD1321に規格がある。

針入度からみて、一般に、ゲルは40~200mmの範囲、オイルは40mm以下であり、ゲルの硬化反応の促進によりゴム化が起こり、ゴムと称されているものは一般に針入度200mm以上である。

本発明に使用されるシリコン系ゲル12には前記の如く、市販のものが使用され、例えば信越化学工業社製KJR9010、X-35-100東レシリコン社製JCR6110などが使用できる。

上記X-35-100〔A(主剤)・B(硬化剤)2液タイプ、針入度100〕の硬化反応機構は白金付加型で、2液低温高温用ゲルで-75~250℃の温度範囲で使用できる。

ポッティング剤11は例えばAMにより構成さ

れ、シリコンゲル12形成の際のゲル材流れ止め用として使用される。

キャップ14は、例えばALにより構成される。

第3図に示すような、従来例によれば、突起電極3が、密に配列されているので、シリコンゲル12が膨張し、縦方向に、半導体素子1と配線基板2とを引き剥がそうとする力が働いた場合に、その力を逃がそうとしても、隣接する突起電極3により妨げられ、もろに、その力が働くことになる。これに対し、本発明では、各群例えば23～26に、同様に縦方向の引き剥がし力が働いても、例えば群23と群24との間には、突起電極3が設けられていない間隙28が介在しているので、その力が当該間隙28側に逃がす(分散)させることができ、したがって、当該引き剥がし力によるバンプ3の破断を防止できる。それ故、高信頼性の半導体装置が得られ、特に、マルチに半導体素子を搭載する場合に有用である。

以上本発明者によってなされた発明を実施例のもとづき具体的に説明したが、本発明は上記実施

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、本発明においては、各群に突起電極を分割する限り、その群内の突起電極の配列はランダムでもよい。

以上の説明では主として本発明をマルチチップモジュールについて適用した例を示したが、シングルチップについて適用してもよく、その他シリコンゲルを封止材とし、CCB接続によりチップのボンディングを行うような場合全般に適用することができる。

また、基板側に突起電極(接続端子)を設けてチップボンディングを行うような場合にも応用できる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、本発明によればバンプの破断を防止

でき、また、予期しない効果として、間隙内には突起電極がなくシリコンゲルが良好に流れ、また、当該間隙にシリコンゲルが充填されるので、相対的に従来に比してシリコンゲルの絶対量が増し、このゲルは耐湿性に富むので、耐湿性をより一層向上させることができた。かくて、本発明によれば信頼度の向上した半導体装置を得ることができた。

#### 4. 図面の簡単な説明

第1図は本発明の実施例を示す説明図、

第2図は本発明の他の実施例を示す説明図、

第3図は従来例の説明図、

第4図は突起電極を有する半導体素子の一例説明断面図、

第5図は半導体装置の一例断面図、

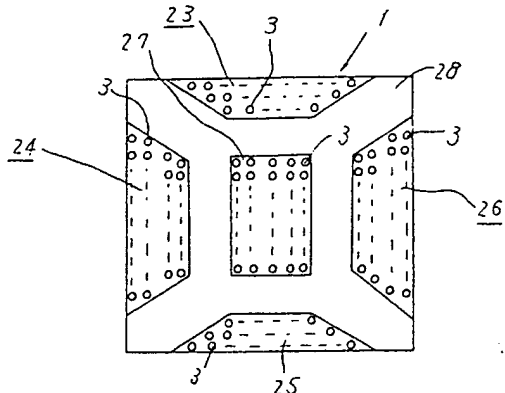
第6図は同他の例を示す断面図である。

1…半導体素子(チップ)、2…配線基板、3…突起電極、4…パッケージベース、5…接合材料、6…アウターリード、7…半導体装置、8…半導体部、9…ボンディングワイヤ、10…接合材

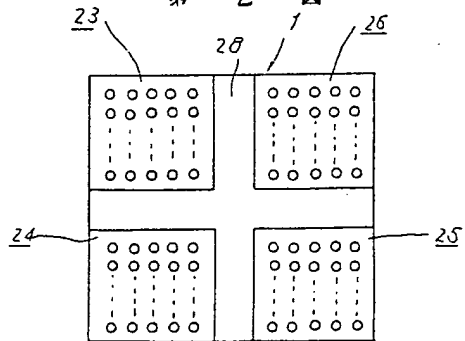
料、11…ボッティング枠、12…シリコンゲル、13…接合材料、14…キャップ、15…アウターリード、16…ヒートシンク、17…半導体デバイス、18…絶縁膜、19…デバイス表面保護膜、20…AL電極配線、21…電極下地多層金属層、22…Sn-Pbバンプ、23…群、24…群、25…群、26…群、27…群、28…間隙。

代理人 弁理士 小川勝男

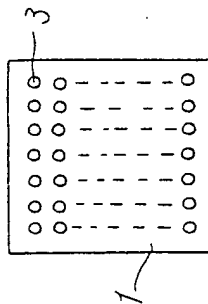
第 1 図



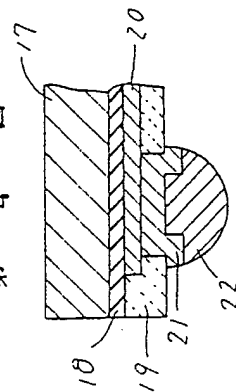
第 2 図



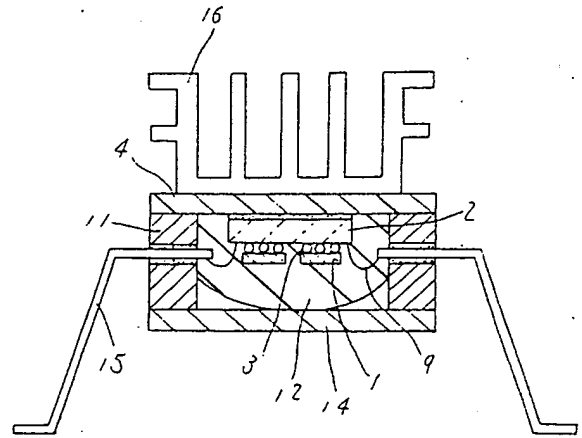
第 3 図



第 4 図



第 6 図



第 5 図

